

Patent Laying-Open No.	2003-196983
Date of Laying-Open:	July 11, 2003
International Class(es):	G 11 C 11/409 11/407

Title of the Invention:	Semiconductor Memory Device
Patent Appln. No.	2001-397190
Filing Date:	December 27, 2001
Inventor(s):	Takeshi FUJINO
Applicant(s):	Mitsubishi Denki Kabushiki Kaisha

[Abstract]

[Solving Means] The DRAM includes a sense amplifier 20 that is activated in response to nodes N3 and N4 driven to an "L" level and an "H" level, respectively and amplifies a potential difference between a bit line pair BL, /BL, and a write column select gate 30 that is activated in response to node N3 driven to an "L" level and writes a data signal of a write data line pair WDL, /WDL to a corresponding sense amplifier 20 in response to a corresponding write column select line WCSL driven to an "H" level. Thus, write of the data signal to sense amplifier 20 and sense amplification of the memory cell data can be carried out at the same time.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-196983
(P2003-196983A)

(43) 公開日 平成15年7月11日 (2003.7.11)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

G 1 1 C 11/409
11/407

G 1 1 C 11/34

3 5 4 R 5 M 0 2 4
3 5 3 Z
3 5 3 F
3 5 3 E
3 5 4 D

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2001-397190 (P2001-397190)

(22) 出願日 平成13年12月27日 (2001.12.27)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 藤野 毅

東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外4名)

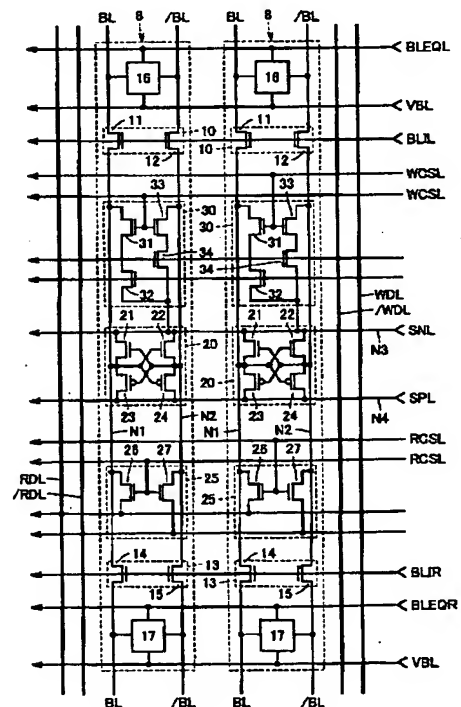
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 ランダムアクセスの高速化を図ることが可能な半導体記憶装置を提供する。

【解決手段】 このDRAMは、ノードN3、N4がそれぞれ「L」レベルおよび「H」レベルにされたことに応じて活性化され、ビット線対BL、/BL間の電位差を増幅するセンスアンプ20と、ノードN3が「L」レベルにされたことに応じて活性化され、対応のライト列選択線WC SLが「H」レベルにされたことに応じてライトデータ線対WDL、/WDLのデータ信号を対応のセンスアンプ20に書込むためのライト列選択ゲート30とを備える。したがって、データ信号のセンスアンプ20への書込とメモリセルデータのセンス増幅とを同時に行なうことができる。



【特許請求の範囲】

【請求項 1】 データ信号の書換が可能な半導体記憶装置であって、

複数行複数列に配置された複数のメモリセルと、それぞれ前記複数行に対応して設けられた複数のワード線と、それぞれ前記複数列に対応して設けられた複数のビット線対とを含むメモリブロック、

各ビット線対に対応して設けられ、第 1 のノードに第 1 の駆動電位が与えられたことに応じて活性化され、対応のビット線対間に生じた電位差を増幅するセンスアンプ、

行アドレス信号に従って前記複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコーダ、

列アドレス信号に従って前記複数のビット線対のうちのいずれかのビット線対を選択する列デコーダ、

前記複数のビット線対に共通に設けられた書込データ線対、

書込データ信号に従って前記書込データ線対に含まれる第 1 および第 2 の書込データ線のうちのいずれか一方の書込データ線を第 1 の電位にするとともに他方の書込データ線を第 2 の電位にする書込回路、および書込動作時に前記列デコーダによって選択されたビット線対に前記書込データ線対のデータ信号を伝達する書込用列選択ゲートを備え、

前記書込用列選択ゲートは、

各ビット線対に対応して設けられ、それらのゲート電極がそれぞれ前記第 1 および第 2 の書込データ線に接続され、それらの第 1 の電極がともに前記第 1 のノードに接続された第 1 および第 2 のトランジスタ、および各ビット線対に対応して設けられ、それらの第 1 の電極がそれぞれ前記第 1 および第 2 のトランジスタの第 2 の電極に接続され、それらの第 2 の電極がそれぞれ対応のビット線対に含まれる第 1 および第 2 のビット線に接続され、書込動作時に前記列デコーダによって対応のビット線対が選択されたことに応じて導通する第 3 および第 4 のトランジスタを含む、半導体記憶装置。

【請求項 2】 前記第 1 および第 2 のトランジスタは、前記複数のビット線対に共通に設けられている、請求項 1 に記載の半導体記憶装置。

【請求項 3】 さらに、書込命令信号にตอบสนองして、前記行デコーダ、前記列デコーダおよび前記書込回路を活性化させた後に前記第 1 のノードに前記第 1 の駆動電位を与えて前記センスアンプを活性化させる書込制御回路を備える、請求項 1 または請求項 2 に記載の半導体記憶装置。

【請求項 4】 さらに、各ビット線対に対応して設けられ、対応のビット線対を予め定められた電位にプリチャージするためのプリチャージ回路を備え、

前記書込制御回路は、書込動作の終了後に、前記行デコ

ーダ、前記列デコーダ、前記書込回路および前記センスアンプを非活性化させるとともに前記プリチャージ回路を活性化させる、請求項 3 に記載の半導体記憶装置。

【請求項 5】 さらに、前記複数のビット線対に共通に設けられた読出データ線対、

読出動作時に前記列デコーダによって選択されたビット線対のデータ信号を前記読出データ線対に伝達する読出用列選択ゲート、

前記読出データ線対に含まれる第 1 および第 2 の読出データ線の電位を比較し、比較結果に応じた論理レベルのデータ信号を出力する読出回路、および読出命令信号にตอบสนองして、前記行デコーダ、前記列デコーダ、および前記読出回路を活性化させた後に前記第 1 のノードに前記第 1 の駆動電位を与えて前記センスアンプを活性化させる読出制御回路を備える、請求項 1 または請求項 2 に記載の半導体記憶装置。

【請求項 6】 さらに、各ビット線対に対応して設けられ、対応のビット線対を予め定められた電位にプリチャージするためのプリチャージ回路を備え、

前記読出制御回路は、読出動作の終了後に、前記行デコーダ、前記列デコーダ、前記読出回路および前記センスアンプを非活性化させるとともに前記プリチャージ回路を活性化させる、請求項 5 に記載の半導体記憶装置。

【請求項 7】 前記センスアンプは、

それぞれ前記第 1 のノードと前記第 1 および第 2 のビット線との間に接続され、それらのゲート電極がそれぞれ前記第 2 および第 1 のビット線に接続された第 1 の導電形式の第 5 および第 6 のトランジスタ、およびそれぞれ第 2 のノードと前記第 1 および第 2 のビット線との間に接続され、それらのゲート電極がそれぞれ前記第 2 および第 1 のビット線に接続された第 2 の導電形式の第 7 および第 8 のトランジスタを含み、

前記センスアンプは、前記第 1 のノードに前記第 1 の駆動電位が与えられるとともに前記第 2 のノードに前記第 2 の駆動電位が与えられたことに応じて活性化される、請求項 1 から請求項 6 のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体記憶装置に関し、特に、データ信号の書換が可能な半導体記憶装置に関する。

【0002】

【従来の技術】 図 9 は、従来のダイナミックランダムアクセスメモリ（以下、DRAM と称す）の要部を示す回路ブロック図である。図 9 において、この DRAM は、行列状に配列された複数のメモリセル MC と、各行に対応して設けられたワード線 WL と、各列に対応して設けられたビット線対 BL、/BL と、ライトデータ線対 WDL、/WDL とを備える。また、この DRAM は、各

列に対応して設けられたライト列選択ゲート50、センスアンプ55およびイコライザ60を備える。

【0003】ライト列選択ゲート50は、NチャネルMOSトランジスタ51～54を含む。NチャネルMOSトランジスタ51、52はビット線BLとライトデータ線WDLとの間に直列接続され、NチャネルMOSトランジスタ53、54はビット線／BLとライトデータ線／WDLとの間に直列接続される。NチャネルMOSトランジスタ51、53のゲートはライト列選択線WCSLに接続され、NチャネルMOSトランジスタ52、54のゲートは信号WDEを受ける。信号WDEは、ライトマスク時は「L」レベルにされ、通常動作時は「H」レベルにされる。信号WDEが「H」レベルにされている期間において列アドレス信号CAに応じた列のライト列選択線WCSLが選択レベルの「H」レベルにされると、その列のNチャネルMOSトランジスタ51～54が導通し、ビット線対BL、／BLとライトデータ線対WDL、／WDLとが結合される。

【0004】センスアンプ55は、NチャネルMOSトランジスタ56、57およびPチャネルMOSトランジスタ58、59を含む。NチャネルMOSトランジスタ56、57は、それぞれビット線BL、／BLとノードN51との間に接続され、それらのゲートはそれぞれビット線／BL、BLに接続される。PチャネルMOSトランジスタ58、59は、それぞれビット線BL、／BLとノードN52との間に接続され、それらのゲートはそれぞれビット線／BL、BLに接続される。ノードN51、N52には、それぞれセンスアンプ活性化信号SNL、SPLが与えられる。センスアンプ活性化信号SNL、SPLは、スタンバイ時はともに電源電位VCCの1/2の電位VCC/2にされ、アクティブ時はそれぞれ「L」レベルおよび「H」レベルにされる。センスアンプ55は、センスアンプ活性化信号SNL、SPLがそれぞれ「L」レベルおよび「H」レベルにされたことに応じて活性化され、対応のビット線対BL、／BL間に生じた微小電位差を電源電位VCCに増幅する。

【0005】イコライザ60は、ビット線イコライズ信号BLEQが活性化レベルの「L」レベルにされたことに応じて活性化され、対応のビット線対BL、／BLをビット線プリチャージ電位VBL(=VCC/2)にプリチャージする。

【0006】図10は、図9に示したDRAMの書込動作を示すタイムチャートである。スタンバイ状態では、ワード線WLが非選択レベルの「L」レベルにされてメモリセルMCが非活性化され、ライト列選択線WCSLが非選択レベルの「L」レベルにされてライト列選択ゲート50が非導通にされている。また、イコライザ60は活性化されてビット線対BL、／BLがビット線プリチャージ電位VCC/2にプリチャージされ、センスアンプ活性化信号SPL、SNLが中間レベルVCC/2

にされてセンスアンプ55が非活性化されている。また、信号WDEは「H」レベルにされているものとする。

【0007】第1に、アクティブコマンドACTおよび行アドレス信号RAが与えられ、イコライザ60が非活性化されるとともに、行アドレス信号RAに応じた行のワード線WLが選択レベルの「H」レベルに立上げられる。ワード線WLが選択レベルの「H」レベルにされると、そのワード線WLに対応する各メモリセルMCが活性化され、各ビット線対BL、／BL間にそのメモリセルMCの記憶データに応じた極性の微小電位差が発生する。次いでセンスアンプ活性化信号SPL、SNLがそれぞれ「H」レベルおよび「L」レベルにされてセンスアンプ55が活性化され、ビット線対BL、／BL間の電位差が電源電位VCCに増幅される。

【0008】第2に、ライトコマンドWRTおよび列アドレス信号CAが与えられ、その列アドレス信号CAに応じた列のライト列選択線WCSLが選択レベルの「H」レベルに立上げられてその列のライト列選択ゲート50が導通し、その列のビット線対BL、／BLとライトデータ線対WDL、／WDLとが結合される。ライトデータ線WDL、／WDLは、予め、書込データ信号に従ってたとえば「L」レベルおよび「H」レベルにそれぞれされている。したがって、選択された列のビット線BL、／BLのレベルはそれぞれライトデータ線WDL、／WDLのレベルに書換えられる。選択されなかった列のビット線BL、／BLのレベルは、そのまま保持される。ライト列選択線WCSLは、所定時間経過後に非選択レベルの「L」レベルに立下げられる。

【0009】第3に、プリチャージコマンドPREが与えられ、ワード線WLが非選択レベルの「L」レベルに立下げられてメモリセルMCが非活性化され、センスアンプ活性化信号SPL、SNLが中間レベルVCC/2にされてセンスアンプ55が非活性化され、イコライザ60が活性化されてビット線対BL、／BLがビット線プリチャージ電位VBLにされる。このようにして、データ信号の書込が行なわれる。

【0010】また図11は、従来の他のDRAMの要部を示す回路ブロック図である。図11を参照して、このDRAMが図9のDRAMと異なる点は、ライト列選択ゲート50がライト列選択ゲート61で置換されている点である。ライト列選択ゲート61は、NチャネルMOSトランジスタ62～65を含む。NチャネルMOSトランジスタ62、63はビット線BLと接地電位GNDのラインとの間に直列接続され、NチャネルMOSトランジスタ64、65はビット線／BLと接地電位GNDのラインとの間に直列接続される。NチャネルMOSトランジスタ62、64のゲートはともにライト列選択線WCSLに接続され、NチャネルMOSトランジスタ63、65のゲートはそれぞれライトデータ線／WDL、

WDLに接続される。

【0011】ライト列選択線WCSLが選択レベルの「H」レベルに立上げられると、NチャネルMOSトランジスタ62、64が導通する。ライトデータ線WDL、 $\overline{\text{WDL}}$ がそれぞれ「H」レベルおよび「L」レベルの場合は、NチャネルMOSトランジスタ65が導通するとともにNチャネルMOSトランジスタ63が非導通になり、ビット線/BLが「L」レベルに引下げられ、センスアンプ55によってビット線BLが「H」レベルに引上げられる。ライトデータ線WDL、 $\overline{\text{WDL}}$ がそれぞれ「L」レベルおよび「H」レベルの場合は、NチャネルMOSトランジスタ63が導通するとともにNチャネルMOSトランジスタ65が非導通になり、ビット線BLが「L」レベルに引下げられ、センスアンプ55によってビット線/BLが「H」レベルに引上げられる。他の構成および動作は、図9のDRAMと同じであるので、その説明は繰返さない。

【0012】

【発明が解決しようとする課題】従来のDRAMでは、活性化された1つのメモリセル行に対して複数回の列選択動作を連続的に行なうページモードでは、1回のアクティブコマンドACTに続いて複数回のライトコマンドWRTを入力すればよいので、高速の書込動作が可能となる。しかし、行アドレス信号RAおよび列アドレス信号CAが毎回異なるランダムアクセスでは、図10で示した3つのステップが毎回必要となり、書込動作の高速化は困難である。

【0013】具体的には、スタティックランダムアクセスメモリ（以下、SRAMと称す）では50MHz以上でランダムアクセスすることが可能であるのに対し、DRAMでは22MHz程度でしかランダムアクセスすることができない。これは、システムLSIにおいてSRAMで実現されている機能をDRAMで実現しようとする場合の問題点となっている。

【0014】それゆえに、この発明の主たる目的は、ランダムアクセスの高速化を図ることが可能な半導体記憶装置を提供することである。

【0015】

【課題を解決するための手段】この発明に係る半導体記憶装置は、データ信号の書換が可能な半導体記憶装置であって、複数行複数列に配置された複数のメモリセルと、それぞれ複数行に対応して設けられた複数のワード線と、それぞれ複数列に対応して設けられた複数のビット線対とを含むメモリブロックと、各ビット線対に対応して設けられ、所定のノードに駆動電位が与えられたことに応じて活性化され、対応のビット線対間に生じた電位差を増幅するセンスアンプと、行アドレス信号に従って複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコーダと、列アドレス信号に従って複数のビット

線対のうちのいずれかのビット線対を選択する列デコーダと、複数のビット線対に共通に設けられた書込データ線対と、書込データ信号に従って書込データ線対に含まれる第1および第2の書込データ線のうちのいずれか一方の書込データ線を第1の電位にするとともに他方の書込データ線を第2の電位にする書込回路と、書込動作時に列デコーダによって選択されたビット線対に書込データ線対のデータ信号を伝達する書込用列選択ゲートとを備えたものである。ここで、書込用列選択ゲートは、各ビット線対に対応して設けられ、それらのゲート電極がそれぞれ第1および第2の書込データ線に接続され、それらの第1の電極がともに第1のノードに接続された第1および第2のトランジスタと、各ビット線対に対応して設けられ、それらの第1の電極がそれぞれ第1および第2のトランジスタの第2の電極に接続され、それらの第2の電極がそれぞれ対応のビット線対に含まれる第1および第2のビット線に接続され、書込動作時に列デコーダによって対応のビット線対が選択されたことに応じて導通する第3および第4のトランジスタを含む。

【0016】好ましくは、第1および第2のトランジスタは、複数のビット線対に共通に設けられている。

【0017】また好ましくは、さらに、書込命令信号にตอบสนองして、行デコーダ、列デコーダおよび書込回路を活性化させた後に第1のノードに第1の駆動電位を与えてセンスアンプを活性化させる書込制御回路が設けられる。

【0018】また好ましくは、さらに、各ビット線対に対応して設けられ、対応のビット線対を予め定められた電位にプリチャージするためのプリチャージ回路が設けられ、書込制御回路は、書込動作の終了後に、行デコーダ、列デコーダ、書込回路およびセンスアンプを非活性化させるとともにプリチャージ回路を活性化させる。

【0019】また好ましくは、さらに、前記複数のビット線対に共通に設けられた読出データ線対と、読出動作時に列デコーダによって選択されたビット線対のデータ信号を読出データ線対に伝達する読出用列選択ゲートと、読出データ線対に含まれる第1および第2の読出データ線の電位を比較し、比較結果に応じた論理レベルのデータ信号を出力する読出回路と、読出命令信号にตอบสนองして、行デコーダ、列デコーダ、および読出回路を活性化させた後に第1のノードに第1の駆動電位を与えてセンスアンプを活性化させる読出制御回路とが設けられる。

【0020】また好ましくは、さらに、各ビット線対に対応して設けられ、対応のビット線対を予め定められた電位にプリチャージするためのプリチャージ回路が設けられ、読出制御回路は、読出動作の終了後に、行デコーダ、列デコーダ、読出回路およびセンスアンプを非活性化させるとともにプリチャージ回路を活性化させる。

【0021】また好ましくは、センスアンプは、それぞ

れ第1のノードと第1および第2のビット線との間に接続され、それらのゲート電極がそれぞれ第2および第1のビット線に接続された第1の導電形式の第5および第6のトランジスタと、それぞれ第2のノードと第1および第2のビット線との間に接続され、それらのゲート電極がそれぞれ第2および第1のビット線に接続された第2の導電形式の第7および第8のトランジスタを含む。センスアンプは、第1のノードに第1の駆動電位が与えられるとともに第2のノードに第2の駆動電位が与えられたことに応じて活性化される。

【0022】

【発明の実施の形態】【実施の形態1】図1は、この発明の実施の形態1によるDRAM1の全体構成を示すブロック図である。図1において、このDRAM1は、行／列アドレスバッファ+クロック発生回路2、行／列デコード回路3、メモリマット4およびデータ入出力回路5を備える。このDRAM1では、同時に8k個（ただし、kは1以上の整数である）のデータ信号DQ1～DQ8kの入出力が可能となっており、8つのデータ信号ごとに1つのライトマスク信号WMの入力端子が設けられている。

【0023】行／列アドレスバッファ+クロック発生回路2は、外部から与えられた行アドレス信号RA0～RAm（ただし、mは0以上の整数である）および列アドレス信号CA0～CAN（ただし、nは0以上の整数である）を行／列デコード回路3に与えるとともに、外部制御信号／RAS、／CAS、／WEに従ってリードクロック信号CLKRおよびライトクロック信号CLKWなどを生成しDRAM1全体を制御する。

【0024】メモリマット4は、複数（図では3つ）のセンスアンプ帯SA1～SA3と、それらの間に配置されたメモリセルアレイMA1、MA2とを含む。メモリセルアレイMA1、MA2は、それぞれが1つのデータ信号を記憶する複数のメモリセルを含む。複数のメモリセルは、予め定められた数8k個ずつグループ化されている。各メモリセルグループは、行アドレスおよび列アドレスによって決定される所定のアドレスに配置される。

【0025】行／列デコード回路3は、行／列アドレスバッファ+クロック発生回路2から与えられる行アドレス信号RA0～RAmおよび列アドレス信号CA0～CANに従って、メモリセルアレイMA1、MA2のアドレスを指定する。センスアンプ帯SA1、SA2には、後述するセンスアンプ+入出力制御回路群が設けられている。センスアンプ+入出力制御回路群は、行／列デコード回路3によって指定されたアドレスの8k個のメモリセルをデータ入出力回路5に接続する。データ入出力回路5は、ライトドライバ+リードアンプ帯6および入出力バッファ群7を含む。ライトドライバ+リードアンプ帯6には、ライトドライバ群およびリードアンプ群が

設けられている。

【0026】リードアンプ群は、リードクロック信号CLKRに同期して動作し、選択された8k個のメモリセルからの読出データ信号Q1～Q8kを入出力バッファ群7に与える。入出力バッファ群7は、外部制御信号／OEに応答して、リードアンプ群からの読出データ信号Q1～Q8kを外部に出力する。ライトドライバ群は、ライトクロック信号CLKWに同期して動作し、外部からの書込データ信号D1～D8kを選択された8k個のメモリセルに書込む。ただし、8k個のメモリセルのうちライトマスク信号WM1～WMkによって指定されたメモリセルにはデータは書込まれない。

【0027】図2は、図1に示したメモリマット4の構成を示すブロック図である。図2において、メモリセルアレイMA1、MA2の各々は、それぞれデータ信号DQ1～DQ8kに対応する8k個のメモリブロックMBに分割されている。またセンスアンプ帯SA1～SA3の各々は、それぞれデータ信号DQ1～DQ8kに対応する8k個のセンスブロックSBに分割されている。

【0028】メモリマット4には、それぞれデータ信号Q1～Q8kを読出すための8k個の読出データ線対RDL、／RDLと、それぞれデータ信号D1～D8kを書込むための8k個の書込データ線対WDL、／WDLとが設けられている。読出データ線対RDL、／RDLおよび書込データ線対WDL、／WDLは、対応の3つのセンスブロックSBおよび2つのメモリブロックMBを横切るように配置され、それらの一方端はライトドライバ+リードアンプ帯6に接続されている。

【0029】メモリブロックMBは、図3に示すように、複数行複数列に配置された複数のメモリセルMCと、それぞれ複数行に対応して設けられた複数のワード線WLと、それぞれ複数列に対応して設けられた複数のビット線対BL、／BLとを含む。メモリセルMCは、アクセス用のNチャネルMOSトランジスタQと情報記憶用のキャパシタCとを含む周知のものである。

【0030】ワード線WLを選択レベルの「H」レベルにすると、ワード線WLに対応する行の各メモリセルMCが活性化され、各メモリセルMCのデータの書込／読出が可能になる。書込動作時は、1本のワード線WLを選択レベルの「H」レベルにしてメモリセルMCを活性化させた後、対応の書込データ信号（たとえばD1）に従って1つのビット線対BL、／BLのうちの一方のビット線を「H」レベルにし他方のビット線を「L」レベルにする。これにより、ビット線の電位が所望のメモリセルMCに書込まれる。

【0031】読出動作時は、ビット線対BL、／BLの電位をビット線プリチャージ電位VBL（＝VCC／2）にイコライズした後、1本のワード線WLを選択レベルの「H」レベルにしてメモリセルMCを活性化させる。これにより、各ビット線対BL、／BL間にメモリ

セルMCの記憶データに応じた微小電位差が生じる。各ビット線対BL、 $\overline{\text{BL}}$ 間の微小電位差を電源電位VCCに増幅した後、1つのビット線対BL、 $\overline{\text{BL}}$ の電位差を検出することにより、所望のメモリセルMCのデータ信号を読み出すことができる。

【0032】センスアンプ帯SA2のセンスブロックSBは、図4に示すように、上記2つのメモリブロックMB、MBの各奇数番のビット線対BL、 $\overline{\text{BL}}$ に共通に設けられたセンスアンプ+入出力制御回路8を含む。センスアンプ帯SA1、SA3のセンスブロックSBは、隣接するメモリブロックMBの各偶数番のビット線対BL、 $\overline{\text{BL}}$ に対応して設けられたセンスアンプ+入出力制御回路9を含む。

【0033】センスアンプ+入出力制御回路8は、図5に示すように、転送ゲート10、13、イコライザ16、17、センスアンプ20、リード列選択ゲート25、ライト列選択ゲート30を含む。転送ゲート10は、メモリセルアレイMA1のメモリブロックMBの対応のビット線対BL、 $\overline{\text{BL}}$ とノードN1、N2との間にそれぞれ接続され、それらのゲートはともに信号BLILを受ける1対のNチャンネルMOSトランジスタ11、12を含む。転送ゲート13は、メモリセルアレイMA2のメモリブロックMBの対応のビット線対BL、 $\overline{\text{BL}}$ とノードN1、N2との間にそれぞれ接続され、それらのゲートはともに信号BLIRを受ける1対のNチャンネルMOSトランジスタ14、15を含む。

【0034】行/列デコード回路3によって信号BLIL、BLIRのうちの信号BLILが「L」レベルにされると、転送ゲート10の2つのNチャンネルMOSトランジスタ11、12が非導通になり、メモリセルアレイMA1のビット線対BL、 $\overline{\text{BL}}$ とノードN1、N2とが切離される。行/列デコード回路3によって信号BLIL、BLIRのうちの信号BLIRが「L」レベルにされると、転送ゲート13の2つのNチャンネルMOSトランジスタ14、15が非導通になり、メモリセルアレイMA2のビット線対BL、 $\overline{\text{BL}}$ とノードN1、N2とが切離される。

【0035】イコライザ16は、メモリセルアレイMA1のビット線対BL、 $\overline{\text{BL}}$ に接続され、ビット線イコライズ信号BLEQLが活性化レベルの「L」レベルにされたことに応じて対応のビット線対BL、 $\overline{\text{BL}}$ をビット線プリチャージ電位VBL(=VCC/2)にイコライズする。

【0036】すなわちイコライザ16は、図6に示したように、PチャンネルMOSトランジスタ35~37を含む。PチャンネルMOSトランジスタ35はビット線対BL、 $\overline{\text{BL}}$ の間に接続され、PチャンネルMOSトランジスタ36、37はビット線BLと $\overline{\text{BL}}$ の間に直列接続される。PチャンネルMOSトランジスタ35~37のゲートには、ビット線イコライズ信号BLEQLが与えら

れる。PチャンネルMOSトランジスタ36と37の間のノードには、ビット線プリチャージ電位VBLが与えられる。

【0037】行/列デコード回路3によってビット線イコライズ信号BLEQLが活性化レベルの「L」レベルにされると、PチャンネルMOSトランジスタ35~37が導通してビット線BL、 $\overline{\text{BL}}$ がともにビット線プリチャージ電位VBLにされる。行/列デコード回路3によってビット線イコライズ信号BLEQLが非活性化レベルの「H」レベルにされると、PチャンネルMOSトランジスタ35~37が非導通になってビット線BL、 $\overline{\text{BL}}$ のイコライズが停止される。

【0038】図5に戻って、イコライザ17は、メモリセルアレイMA2のビット線対BL、 $\overline{\text{BL}}$ に接続され、ビット線イコライズ信号BLEQRが活性化レベルの「L」レベルにされたことに応じて対応のビット線対BL、 $\overline{\text{BL}}$ をビット線プリチャージ電位VBLにイコライズする。イコライザ17は、イコライザ16と同様の構成である。

【0039】センスアンプ20は、センスアンプ活性化信号SNL、SPLがそれぞれ「L」レベルおよび「H」レベルにされたことに応じて活性化され、ノードN1、N2間に生じた微小電位差を電源電圧VCCに増幅する。すなわちセンスアンプ14は、NチャンネルMOSトランジスタ21、22およびPチャンネルMOSトランジスタ23、24を含む。NチャンネルMOSトランジスタ21、22は、ノードN3とノードN1、N2との間にそれぞれ接続され、それらのゲートはそれぞれノードN2、N1に接続される。PチャンネルMOSトランジスタ23、24は、それぞれノードN1、N2とノードN4との間に接続され、それらのゲートはそれぞれノードN2、N1に接続される。ノードN3、N4には、それぞれセンスアンプ活性化信号SNL、SPLが与えられる。センスアンプ活性化信号SNL、SPLは、行/列デコード回路3によって生成され、スタンバイ時はともに中間レベル(VCC/2)にされ、アクティブ時はそれぞれ「L」レベルおよび「H」レベルにされる。

【0040】スタンバイ時は、ノードN1~N4はともに中間レベルVCC/2にされ、MOSトランジスタ21~24はともに非導通になる。アクティブ時は、ビット線対BL、 $\overline{\text{BL}}$ 間に生じた微小電位差がノードN1、N2間に伝達されるとともに、ノードN3、N4がそれぞれ「L」レベルおよび「H」レベルにされる。

【0041】ノードN1の電位がノードN2の電位よりも高い場合は、MOSトランジスタ22、23の抵抗値がMOSトランジスタ21、24の抵抗値よりも小さくなり、ノードN1の電位が電源電位VCCまで引上げられるとともに、ノードN2の電位が接地電位GNDまで引下げられる。ノードN2の電位がノードN1の電位よりも高い場合は、MOSトランジスタ21、24の抵抗

値がMOSトランジスタ22, 23の抵抗値よりも小さくなり、ノードN2の電位が電源電位VCCまで引上げられるとともに、ノードN1の電位が接地電位GNDまで引下げられる。

【0042】リード列選択ゲート25は、NチャネルMOSトランジスタ26, 27を含む。NチャネルMOSトランジスタ26, 27は、それぞれノードN1, N2とリードデータ線RDL, /RDLとの間に接続され、それらのゲートは対応の列のリード列選択線RCSLに接続される。リード列選択線RCSLは、各センスアンプ+入出力制御回路8に対応して、センスアンプ帯SA2の8k個のセンスブロックSBに共通に設けられている。行/列デコード回路3によって列アドレス信号CA0~CANにに応じた列のリード列選択線RCSLが選択レベルの「H」レベルにされると、その列のリード列選択ゲート25のNチャネルMOSトランジスタ26, 27が導通し、ノードN1, N2の電位がNチャネルMOSトランジスタ26, 27を介してリードデータ線RDL, /RDLに伝達される。

【0043】ライト列選択ゲート30は、NチャネルMOSトランジスタ31~34を含む。NチャネルMOSトランジスタ31, 32は、ノードN1とN3の間に直列接続され、NチャネルMOSトランジスタ33, 34はノードN2とN3の間に直列接続される。NチャネルMOSトランジスタ31, 33のゲートはともに対応の列のライト列選択線WCSLに接続される。NチャネルMOSトランジスタ34, 32のゲートは、それぞれライトデータ線WDL, /WDLに接続される。ライト列選択線WCSLは、各センスアンプ+入出力制御回路8に対応して、センスアンプ帯SA2の8k個のセンスブロックSBに共通に設けられている。

【0044】行/列デコード回路3によって列アドレス信号CA0~CANにに応じた列のライト列選択線WCSLが選択レベルの「H」レベルにされると、その列のライト列選択ゲート30のNチャネルMOSトランジスタ31, 33が導通する。ライトデータ線WDL, /WDLがそれぞれ「H」レベルおよび「L」レベルの場合は、NチャネルMOSトランジスタ32, 34のうちのNチャネルMOSトランジスタ34が導通し、ノードN2が「L」レベルにされ、ノードN1はセンスアンプ20によって「H」レベルにされる。ライトデータ線WDL, /WDLがそれぞれ「L」レベルおよび「H」レベルの場合は、NチャネルMOSトランジスタ32, 34のうちのNチャネルMOSトランジスタ32が導通してノードN1が「L」レベルにされ、ノードN2はセンスアンプ20によって「H」レベルにされる。

【0045】センスアンプ帯SA1のセンスアンプ+入出力制御回路9は、センスアンプ帯SA2のセンスアンプ+入出力制御回路8から転送ゲート10, 13およびメモリセルアレイMA2用のイコライザ17を除去した

ものである。センスアンプ帯SA3のセンスアンプ+入出力制御回路9は、センスアンプ帯SA2のセンスアンプ+入出力制御回路8から転送ゲート10, 13およびメモリセルアレイMA1用のイコライザ16を除去したものである。なお、センスアンプ帯SA1用の列選択線RCSL, WCSLとセンスアンプ帯SA3用の列選択線RCSL, WCSLとは、別個に設けられている。

【0046】図7は、このDRAMの書込動作を示すタイムチャートである。スタンバイ状態では、ワード線WLが非選択レベルの「L」レベルにされてメモリセルMCが非活性化され、ライト列選択線WCSLが非選択レベルの「L」レベルにされてライト列選択ゲート30のNチャネルMOSトランジスタ31, 33が非導通にされている。また、イコライザ16, 17が活性化されてビット線対BL, /BLがビット線プリチャージ電位VCC/2にプリチャージされ、センスアンプ活性化信号SPL, SNLが中間レベルVCC/2にされてセンスアンプ20が非活性化されている。また、信号BLIL, BLIRが「H」レベルにされて転送ゲート10, 13が非導通にされ、リード列選択線RCSLが非選択レベルの「L」レベルにされてリード列選択ゲート25が非導通にされている。

【0047】ある時刻に、ライトコマンドWRT、行アドレス信号RA0~RAmおよび列アドレス信号CA0~CANが同時に入力される。ここでは、行アドレス信号RA0~RAmによってメモリセルアレイMA1が選択されたものとする。これにより、信号BLIRが「L」レベルにされて転送ゲート13が非導通になり、センスアンプ20はメモリセルアレイMA2と切離される。また、イコライザ16が非活性化されるとともに行アドレス信号RA0~RAmにに応じた行のワード線WLが選択レベルの「H」レベルに立上げられる。これにより、そのワード線WLに対応する各メモリセルMCが活性化され、各ビット線対BL, /BL間にそのメモリセルMCの記憶データに応じた極性の微小電位差が発生する。

【0048】次いで列アドレス信号CA0~CANにに応じた列のライト列選択線WCSLが選択レベルの「H」レベルに立上げられてその列のライト列選択ゲート30のNチャネルMOSトランジスタ31, 33が導通する。ライトデータ線WDL, /WDLは、予め、書込データ信号に従ってたとえば「H」レベルおよび「L」レベルにそれぞれされている。したがって、選択された列のビット線BLまたは/BLは「L」レベルに引下げられる。

【0049】次に、センスアンプ活性化信号SPL, SNLがそれぞれ「H」レベルおよび「L」レベルにされてセンスアンプ20が活性化され、ビット線対BL, /BL間の電位差が電源電位VCCに増幅される。したがって、選択された列のビット線BL, /BLのレベルは

それぞれライトデータ線WDL、 $\overline{\text{WDL}}$ のレベルに書換えられる。選択されなかった列のビット線BL、 $\overline{\text{BL}}$ のレベルは、そのまま保持される。ライト列選択線WCSLは、所定時間経過後に非選択レベルの「L」レベルに立下げられる。

【0050】最後に、ワード線WLが非選択レベルの「L」レベルに立下げられてメモリセルMCが非活性化され、センスアンプ活性化信号SPL、SNLが中間レベルVCC/2にされてセンスアンプ20が非活性化され、イコライザ16が活性化されてビット線BL、 $\overline{\text{BL}}$ がビット線プリチャージ電位VBLにされる。また、信号BLIRが「H」レベルにされて転送ゲート13が導通し、スタンバイ状態に戻る。

【0051】読出動作時は、ライトコマンドWRTの代わりにリードコマンドREADが与えられ、ライト列選択線WCSLの代わりにリード列選択線RCSLが選択される。選択された列のビット線対BL、 $\overline{\text{BL}}$ の電位差は、センスアンプ20で増幅され、リード列選択ゲート25を介してリードデータ線対RDL、 $\overline{\text{RDL}}$ に与えられる。リードアンプは、リードデータ線RDLと $\overline{\text{RDL}}$ の電位を比較し、比較結果に応じた論理レベルのデータ信号を出力バッファを介して外部に出力する。他の動作は、書込動作と同じである。

【0052】この実施の形態1では、ライト列選択ゲート30のNチャネルMOSトランジスタ32、34のソースをノードN3に接続したので、ライト列選択線WCSLおよびライトデータ線対WDL、 $\overline{\text{WDL}}$ がセンスアンプ20よりも先に駆動された場合でも、センスアンプ活性化信号SNL、SPLがそれぞれ「L」レベルおよび「H」レベルにされるまでは、選択された列のセンスアンプ20が先に誤動作することがない。メモリセルMCからデータが読出され、センスアンプ20によってセンス増幅動作が開始されるとともに、センスアンプ20に外部データ信号がラッチされる。したがって、図7で示したように、ライト列選択線WCSLおよびライトデータ線対WDL、 $\overline{\text{WDL}}$ の駆動タイミングをセンスアンプ20の活性化タイミングよりも早くして、外部データ信号のセンスアンプ20への書込とメモリセルデータのセンス増幅とを同時に実行することができ、ランダムアクセス周波数の高速化を図ることができる。

【0053】また、ライトコマンドWRTを与えるだけで書込動作を実行できるので、アクティブコマンドACT、ライトコマンドWRTおよびプリチャージコマンドPREの3つのコマンドを与える必要があった従来に比べ、命令動作の簡単化を図ることができる。

【0054】なお、図9のDRAMにおいて、センスアンプ活性化信号SNL、SPLが中間レベルVCC/2にされているときに、選択された列のライト列選択線WCSLを「H」レベルにし、ライトデータ線WDL、 $\overline{\text{WDL}}$ をそれぞれ「H」レベルおよび「L」レベルにす

ると、選択された列のビット線BL、 $\overline{\text{BL}}$ がそれぞれ「H」レベルおよび「L」レベルになる。これにより、選択された列のセンスアンプ55のMOSトランジスタ57、58が導通してノードN51、N52がそれぞれ「L」レベルおよび「H」レベルになり、メモリセルMCからビット線対BL、 $\overline{\text{BL}}$ に微小電位差が正常に読出される前にセンスアンプ55のセンス動作が開始され、正常なセンス増幅動作を行なうことができなくなる。

10 【0055】ノードN51、N52を各センスアンプ55ごとに分離すれば、選択されていない列のセンスアンプ55は動作しないので、メモリセルデータの正常な読出が可能になるとも思われる。しかし、実際には、選択された列のビット線対BL、 $\overline{\text{BL}}$ とそれに隣接するビット線対BL、 $\overline{\text{BL}}$ とのカップリングにより、隣接ビット線対BL、 $\overline{\text{BL}}$ にノイズが発生し、やはり正常なセンス増幅動作を行なうことができなくなる。

20 【0056】また、図11のDRAMでは、センスアンプ活性化信号SNL、SPLが中間レベルVCC/2のときに、選択された列のライト列選択線WCSLを「H」レベルにし、ライトデータ線WDL、 $\overline{\text{WDL}}$ をそれぞれ「H」レベルおよび「L」レベルにすると、選択された列のビット線BLまたは $\overline{\text{BL}}$ が「L」レベルになる。これにより、選択された列のNチャネルMOSトランジスタ57が導通してノードN51が「L」レベルになり、メモリセルMCからビット線対BL、 $\overline{\text{BL}}$ に微小電位差が正常に読出される前にセンスアンプ55のセンス動作が開始され、正常なセンス増幅動作を行なうことができなくなる。

30 【0057】〔実施の形態2〕図8は、この発明の実施の形態2によるDRAMの要部を示す回路ブロック図であって、図5と対比される図である。図8を参照して、このDRAMが図5のDRAMと異なる点は、複数(図では2つ)のライト列選択ゲート30のうちの1つのライト列選択ゲート30以外の他のライト列選択ゲート30がライト列選択ゲート30'で置換されている点である。

40 【0058】ライト列選択ゲート30'は、ライト列選択ゲート30のNチャネルMOSトランジスタ32、34を除去したものである。ライト列選択ゲート30'のNチャネルMOSトランジスタ31、33のソースは、それぞれライト列選択ゲート30のNチャネルMOSトランジスタ31、33のソースに接続される。他の構成および動作は、実施の形態1と同じであるので、その説明は繰返さない。

【0059】この実施の形態2では、ライトデータ線対WDL、 $\overline{\text{WDL}}$ の容量が小さくなるので、書込動作の高速化および低消費電力化を図ることができる。

50 【0060】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきで

ある。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0061】

【発明の効果】以上のように、この発明に係る半導体記憶装置では、複数のメモリセル、複数のワード線および複数のビット線対を含むメモリブロックと、各ビット線対に対応して設けられ、第1のノードに第1の駆動電位が与えられたことに応じて活性化され、対応のビット線対間に生じた電位差を増幅するセンスアンプと、行アドレス信号に従って複数のワード線のうちのいずれかのワード線を選択し、そのワード線に対応する各メモリセルを活性化させる行デコーダと、列アドレス信号に従って複数のビット線対のうちのいずれかのビット線対を選択する列デコーダと、複数のビット線対に共通に設けられた書込データ線対と、書込データ信号に従って書込データ線対に含まれる第1および第2の書込データ線のうちのいずれか一方の書込データ線を第1の電位にするとともに他方の書込データ線を第2の電位にする書込回路と、書込動作時に列デコーダによって選択されたビット線対に書込データ線対のデータ信号を伝達する書込用列選択ゲートとが設けられる。ここで、書込用列選択ゲートは、各ビット線対に対応して設けられ、それらのゲート電極がそれぞれ第1および第2の書込データ線に接続され、それらの第1の電極がともに第1のノードに接続された第1および第2のトランジスタと、各ビット線対に対応して設けられ、それらの第1の電極がそれぞれ第1および第2のトランジスタの第2の電極に接続され、それらの第2の電極がそれぞれ対応のビット線対に含まれる第1および第2のビット線に接続され、書込動作時に列デコーダによって対応のビット線対が選択されたことに応じて導通する第3および第4のトランジスタを含む。したがって、列デコーダおよび書込回路をセンスアンプよりも先に活性化させた場合でも、所定のノードに駆動電位が与えられない限り、センスアンプが動作することはない。よって、列デコーダおよび書込回路をセンスアンプよりも先に活性化させて、データ信号のセンスアンプへの書込とメモリセルデータのセンス増幅とを同時に実行することができ、ランダムアクセスの高速化を図ることができる。

【0062】好ましくは、第1および第2のトランジスタは、複数のビット線対に共通に設けられている。この場合は、第1および第2のトランジスタの数は少なくともすむので、書込回路の負荷容量は小さくなり、書込動作の高速化を図ることができる。

【0063】また好ましくは、さらに、書込命令信号に応答して、行デコーダ、列デコーダおよび書込回路を活性化させた後に第1のノードに第1の駆動電位を与えてセンスアンプを活性化させる書込制御回路が設けられ

る。この場合は、1つの書込命令信号を与えればよいので、書込命令動作の簡単化を図ることができる。

【0064】また好ましくは、さらに、各ビット線対に対応して設けられ、対応のビット線対を予め定められた電位にプリチャージするためのプリチャージ回路が設けられ、書込制御回路は、書込動作の終了後に、行デコーダ、列デコーダ、書込回路およびセンスアンプを非活性化させるとともにプリチャージ回路を活性化させる。この場合は、1つの書込命令信号を与えればプリチャージまで行なわれるので、書込命令動作の一層の簡単化を図ることができる。

【0065】また好ましくは、さらに、複数のビット線対に共通に設けられた読出データ線対と、読出動作時に列デコーダによって選択されたビット線対のデータ信号を読出データ線対に伝達する読出用列選択ゲートと、読出データ線対に含まれる第1および第2の読出データ線の電位を比較し、比較結果に応じた論理レベルのデータ信号を出力する読出回路と、読出命令信号に応答して、行デコーダ、列デコーダ、および読出回路を活性化させた後に第1のノードに第1の駆動電位を与えてセンスアンプを活性化させる読出制御回路とが設けられる。この場合は、1つの書込命令信号を与えればよいので、書込命令動作の簡単化を図ることができる。

【0066】また好ましくは、さらに、各ビット線対に対応して設けられ、対応のビット線対を予め定められた電位にプリチャージするためのプリチャージ回路が設けられ、読出制御回路は、読出動作の終了後に、行デコーダ、列デコーダ、読出回路およびセンスアンプを非活性化させるとともにプリチャージ回路を活性化させる。この場合は、1つの読出書込命令信号を与えればプリチャージまで行なわれるので、読出命令動作の一層の簡単化を図ることができる。

【0067】また好ましくは、センスアンプは、それぞれ第1のノードと第1および第2のビット線との間に接続され、それらのゲート電極がそれぞれ第2および第1のビット線に接続された第1の導電形式の第5および第6のトランジスタと、それぞれ第2のノードと第1および第2のビット線との間に接続され、それらのゲート電極がそれぞれ第2および第1のビット線に接続された第2の導電形式の第7および第8のトランジスタを含む。センスアンプは、第1のノードに第1の駆動電位が与えられるとともに第2のノードに第2の駆動電位が与えられたことに応じて活性化される。この場合は、センスアンプを容易に構成することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDRAMの全体構成を示すブロック図である。

【図2】 図1に示したメモリマットの構成を示すブロック図である。

【図3】 図2に示したメモリブロックの構成を示す回

路ブロック図である。

【図4】 図2に示したセンスブロックの構成を示す回路ブロック図である。

【図5】 図4に示したセンスアンプ+入出力制御回路8の構成を示す回路ブロック図である。

【図6】 図5に示したイコライザの構成を示す回路図である。

【図7】 図1～図6に示したDRAMの書込動作を示すタイムチャートである。

【図8】 この発明の実施の形態2によるDRAMの要部を示す回路ブロック図である。

【図9】 従来のDRAMの要部を示す回路ブロック図である。

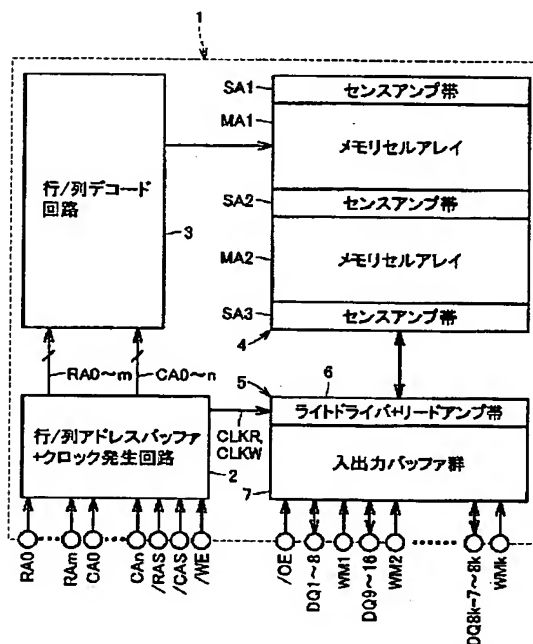
【図10】 図9に示したDRAMの書込動作を示すタイムチャートである。

【図11】 従来の他のDRAMの要部を示す回路ブロック図である。

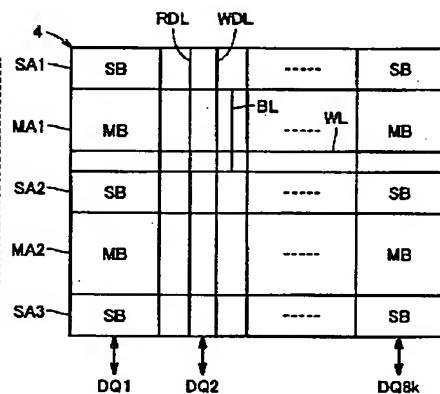
【符号の説明】

1 DRAM、2 行/列アドレスバッファ+クロック発生回路、3 行/列デコード回路、4 メモリマップト、5 データ入出力回路、6 ライトドライバ+リードアンプ帯、7 入出力バッファ群、MA メモリセルアレイ、SA センスアンプ帯、MB メモリブロック、SB センスブロック、MC メモリセル、WL ワード線、BL、/BL ビット線対、8、9 センスアンプ+入出力制御回路、WDL、/WDL ライトデータ線対、RDL、/RDL リードデータ線対、10、13 転送ゲート、11、12、14、15、21、22、26、27、31～34、51～54、56、57、62～65 NチャネルMOSトランジスタ、16、17、60 イコライザ、20、55 センスアンプ、23、24、35～37、58、59 PチャネルMOSトランジスタ、25 リード列選択ゲート、30、30'、50、61 ライト列選択ゲート。

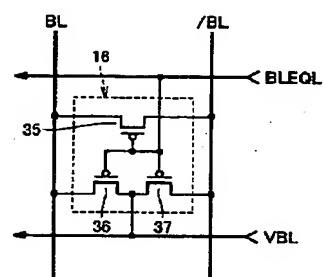
【図1】



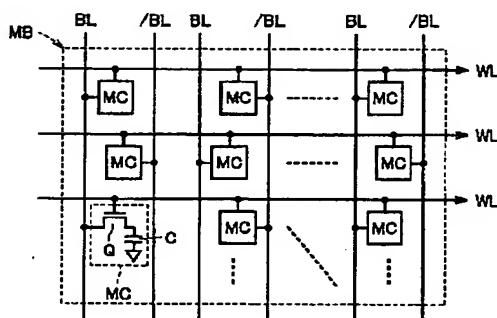
【図2】



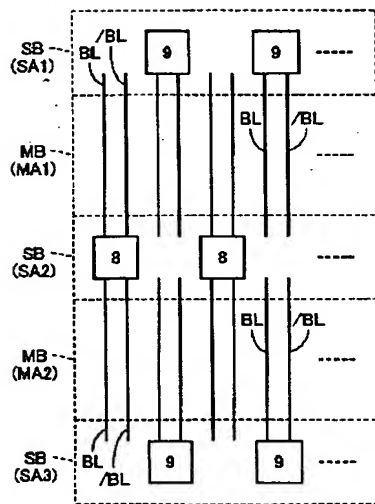
【図6】



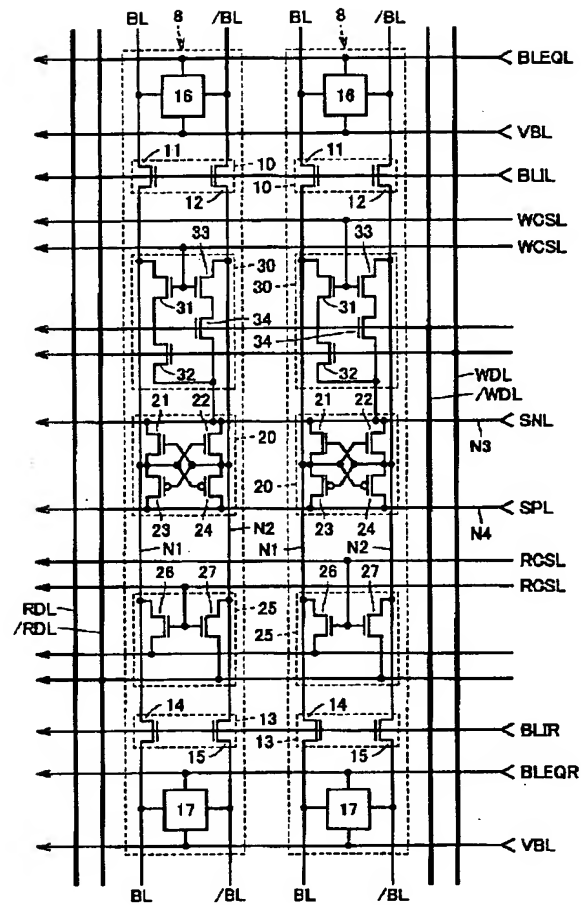
【図3】



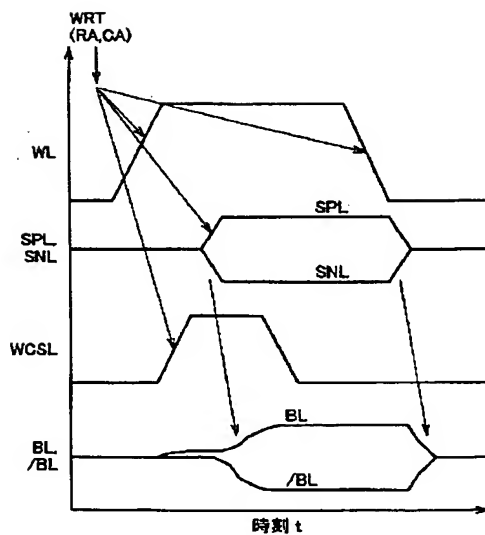
【図 4】



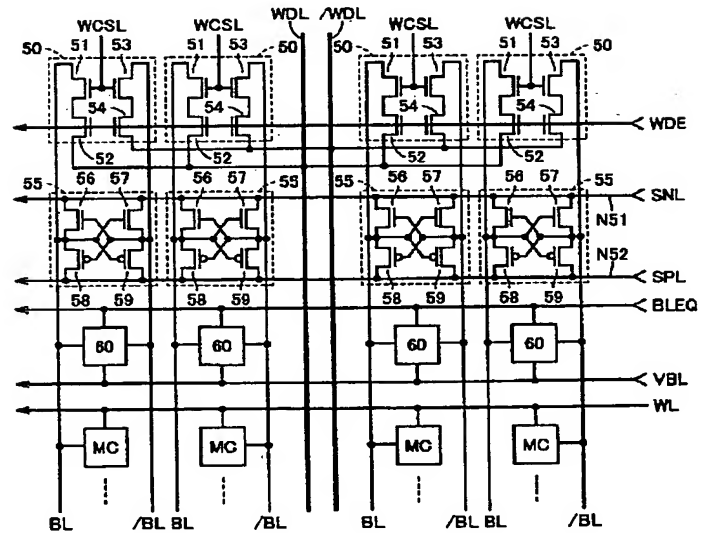
【図 5】



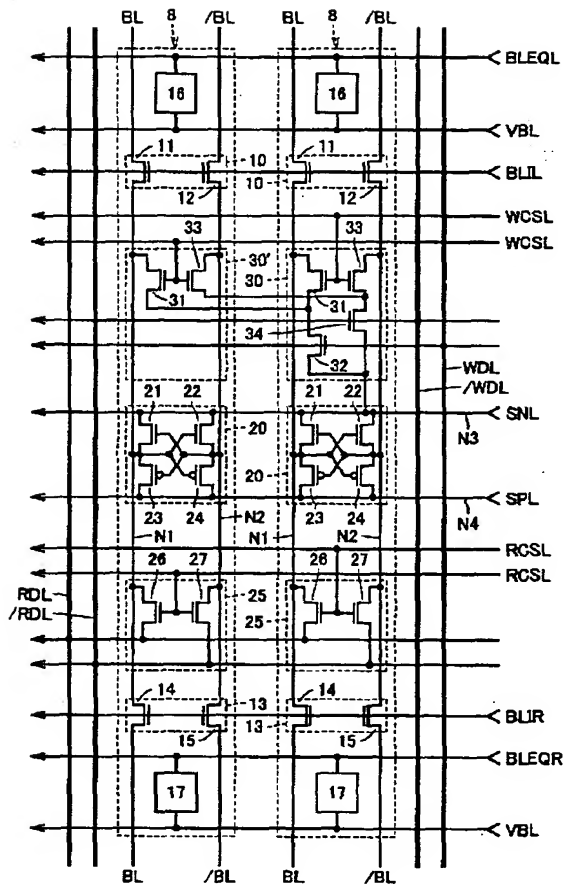
【図 7】



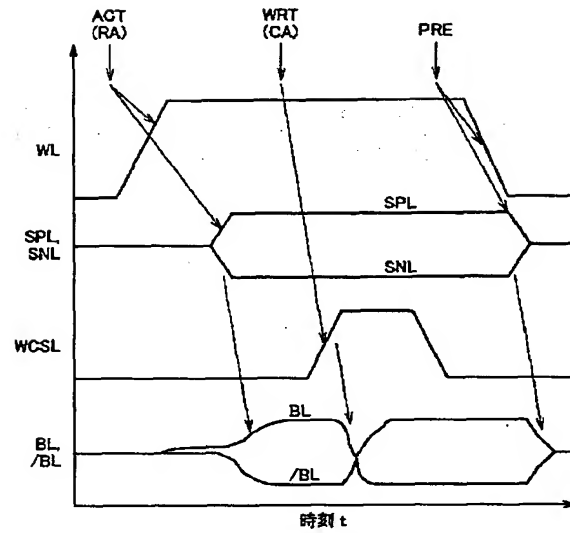
【図 9】



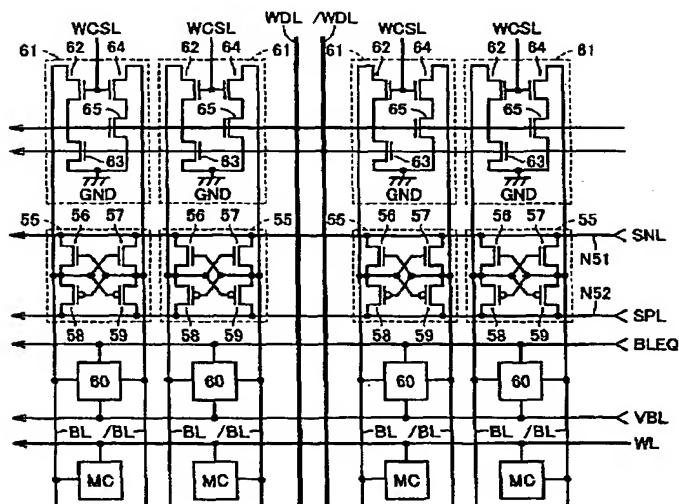
【図8】



【図10】



【図11】



フロントページの続き

Ｆターム(参考) 5M024 AA42 AA50 AA91 BB09 BB10
BB14 BB15 BB17 BB20 BB27
BB35 BB36 CC68 CC70 CC74
CC82 CC92 CC93 CC97 DD02
DD06 DD09 DD90 PP01 PP03
PP07

